



## معماری کامپیوتر

نیم سال اول ۱۴۰۳-۱۴۰۴

نویسندگان: دستیار آموزشی: مهندس سهرابی

دانشکده مهندسی و  
علوم کامپیوتر  
استاد: دکتر مریم  
رضوی

### تمرین درسی ۳

تاریخ: ۱۴۰۳/۰۹/۱۵ | مدت زمان آزمون:

مهلت تحویل: ۲۵ آذر ۱۴۰۳، ساعت ۲۳:۵۹

• مهلت تحویل تا ۲۵ آذرماه تمدید نخواهد شد. ارسال فایل پاسخ در قالب PDF از طریق سامانه درس ضروری است. رعایت اصول نگارش علمی و مستندسازی دقیق پاسخها الزامی می باشد.

#### سوال ۱

قطعه کد اسمبلی MIPS زیر را در یک پردازنده پنج مرحله ای استاندارد (IF, ID, EX, MEM, WB) در نظر بگیرید:

```
begin{latin}\nbegin{verbatim}\n(s0t0, 0( lw\n t1s2, t2s0)subt1, )4s1sw ,t0t1, add\nend{verbatim}\nend{latin}\n
```

الف) در صورت عدم وجود واحد Forwarding، برای جلوگیری از خطرات داده ای (Data Hazards) چند حباب (Stall) نیاز است؟

ب) با وجود Forwarding کامل سخت افزاری، نمودار زمان بندی اجرای دستورات را رسم کنید و تعداد چرخه های کلاک لازم را بیابید.

#### سوال ۲

یک سیستم حافظه نهان دو سطحی را فرض کنید که در آن زمان دسترسی  $L1$  برابر ۱ چرخه و نرخ نقص آن ۴٪ است. سطح  $L2$  دارای زمان دسترسی ۱۰ چرخه و نرخ نقص محلی ۸٪ می باشد. زمان جریمه دسترسی به حافظه اصلی ۱۲۰ چرخه کلاک است.

زمان میانگین دسترسی به حافظه (AMAT) را با فرمول زیر محاسبه فرمایید:

$$AMAT = Time Hit_{L1} + Rate Miss_{L1} \times (Time Hit_{L2} + Rate Miss_{L2} \times Penalty_{Mem})$$

## سوال ۳

تفاوت پیش‌بینی ایستای انشعاب (Static Branch Prediction) بر مبنای جهت پرش (Always Taken vs Backward Taken) و پیش‌بینی پویای ۲ بیتی بر پایه شمارنده اشباع‌شونده (2-bit Saturating Counter) را شرح دهید. دیاگرام گذر حالت شمارنده ۲ بیتی را تحلیل فرمایید.